

# Méthodologie de conception d'une carte intégrant des composants BGA

Daniel Médale - Jérôme Manhes  
LAAS/CNRS

14<sup>ème</sup> Rencontre des Electroniciens de Midi-Pyrénées

11 et 12 Octobre 2010, Aspet (31)

# Plan

1. Etude & Contraintes
2. Méthodologie
3. Routage

# Plan

1. Etude & Contraintes
2. Méthodologie
3. Routage

# Etudes & Contraintes

## Application

- Concevoir une électronique de traitement pour la localisation temps réel de sources sonores en robotique mobile.

## Une carte complexe

- 1 FPGA Xilinx → BGA665, 27.0mm x 27.0mm, pas 1.0mm,
- 1 mémoire DDR SDRAM → BGA60, 12.5mm x 10.0mm, pas 0.8mm x 1.0mm,
- 2 mémoires FLASH → QFN et TSOP48,
- 1 contrôleur USB2.0 → LQFP64,
- 4 connecteurs d'extension « mezzanine » → 120 pins, pas 0.5mm,
- 2 empreintes pour sonde logiques → 54 pins.

# Etudes & Contraintes

## Application

- Concevoir une électronique de traitement pour la localisation temps réel de sources sonores en robotique mobile.

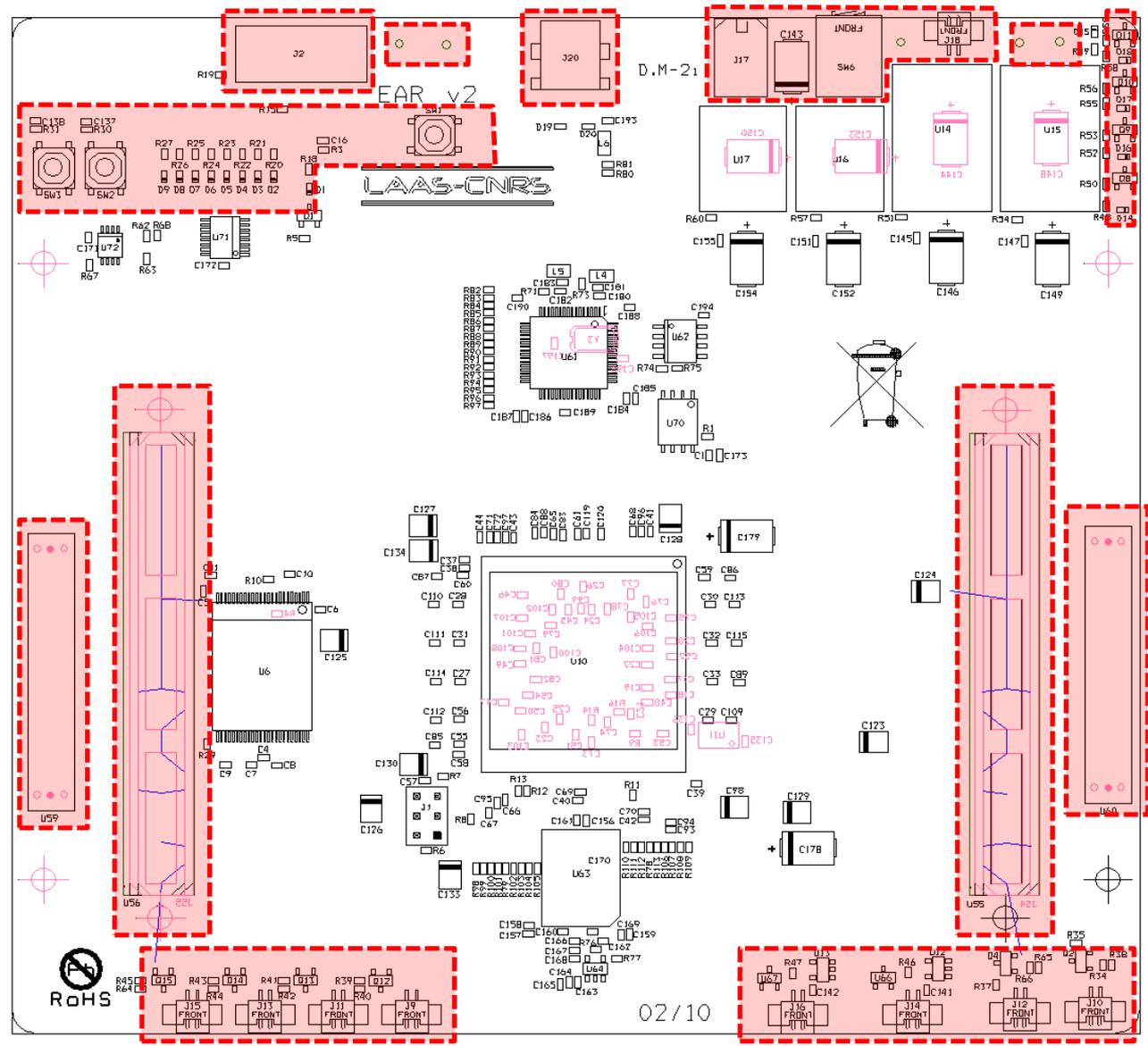
## Une carte complexe

- 1 FPGA Xilinx → BGA665, 27.0mm x 27.0mm, pas 1.0mm,
- 1 mémoire DDR SDRAM → BGA60, 12.5mm x 10.0mm, pas 0.8mm x 1.0mm,
- 2 mémoires FLASH → QFN et TSOP48,
- 1 contrôleur USB2.0 → LQFP64,
- 4 connecteurs d'extension « mezzanine » → 120 pins, pas 0.5mm,
- 2 empreintes pour sonde logiques → 54 pins.

# Etudes & Contraintes

## Contraintes

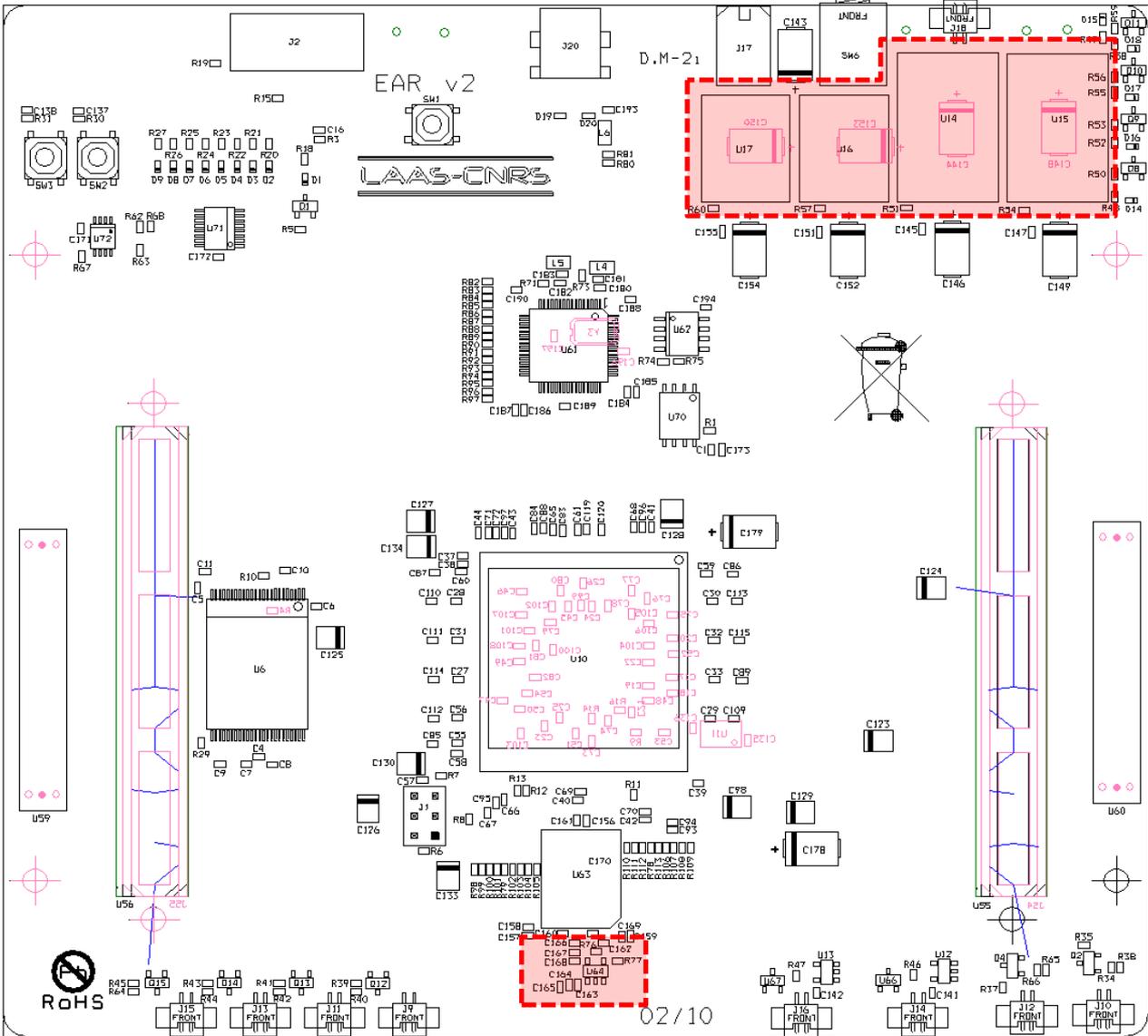
- Positionnement des connecteurs:
  - Extensions (mezzanine)
  - Commandes (triggers In/Out)
  - Alimentation
  - JTAG
  - USB
  - Sondes logiques
- Accessibilité Leds, interrupteurs, points de test.



# Etudes & Contraintes

## Contraintes

- Plusieurs tensions nécessaires :
  - +5.0V
  - +3.3V
  - +2.5V
  - +1.8V
  - +1.25V
  - +1.0V
- Encombrement

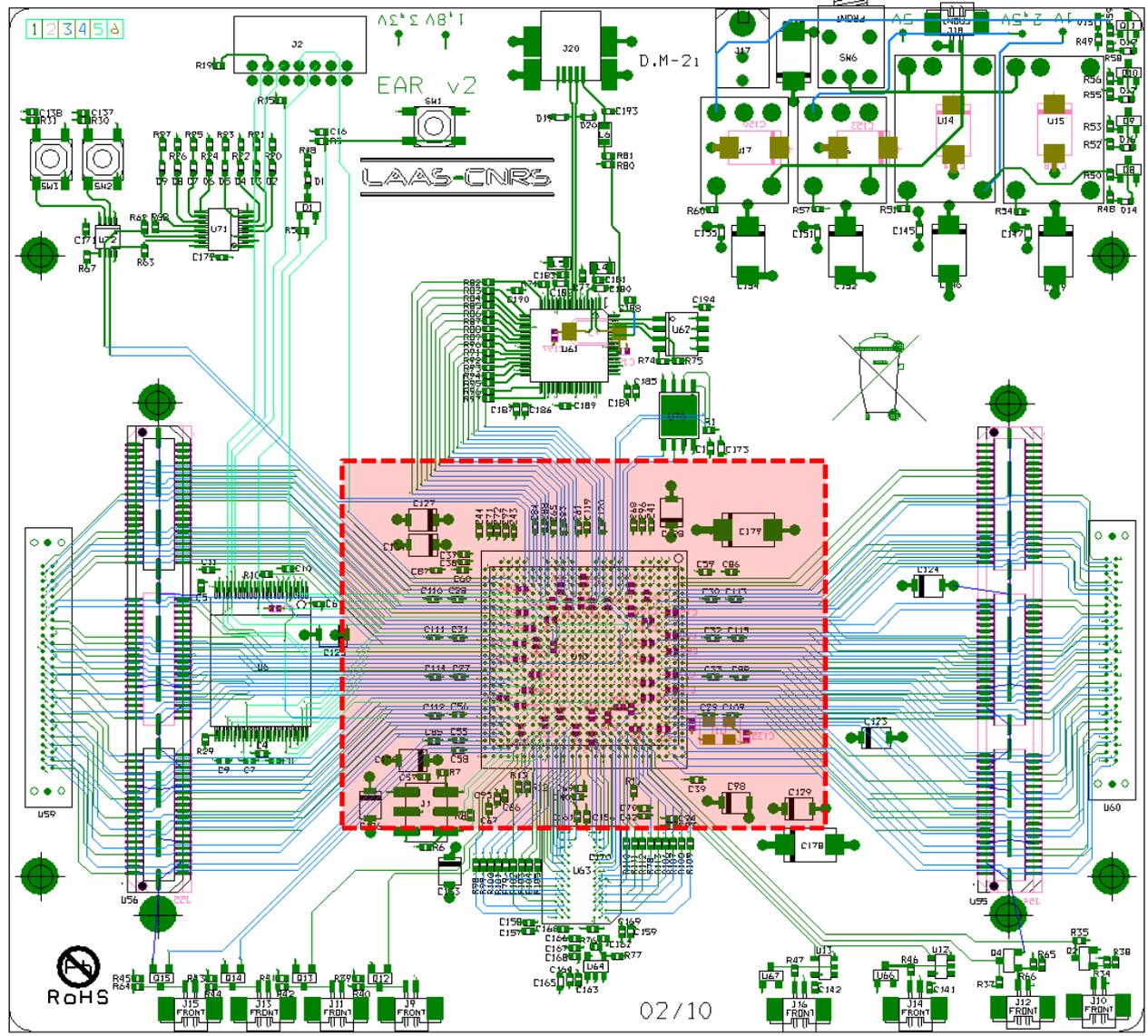




# Etudes & Contraintes

## Contraintes

- Le FPGA concentre la majorité des connexions électriques.



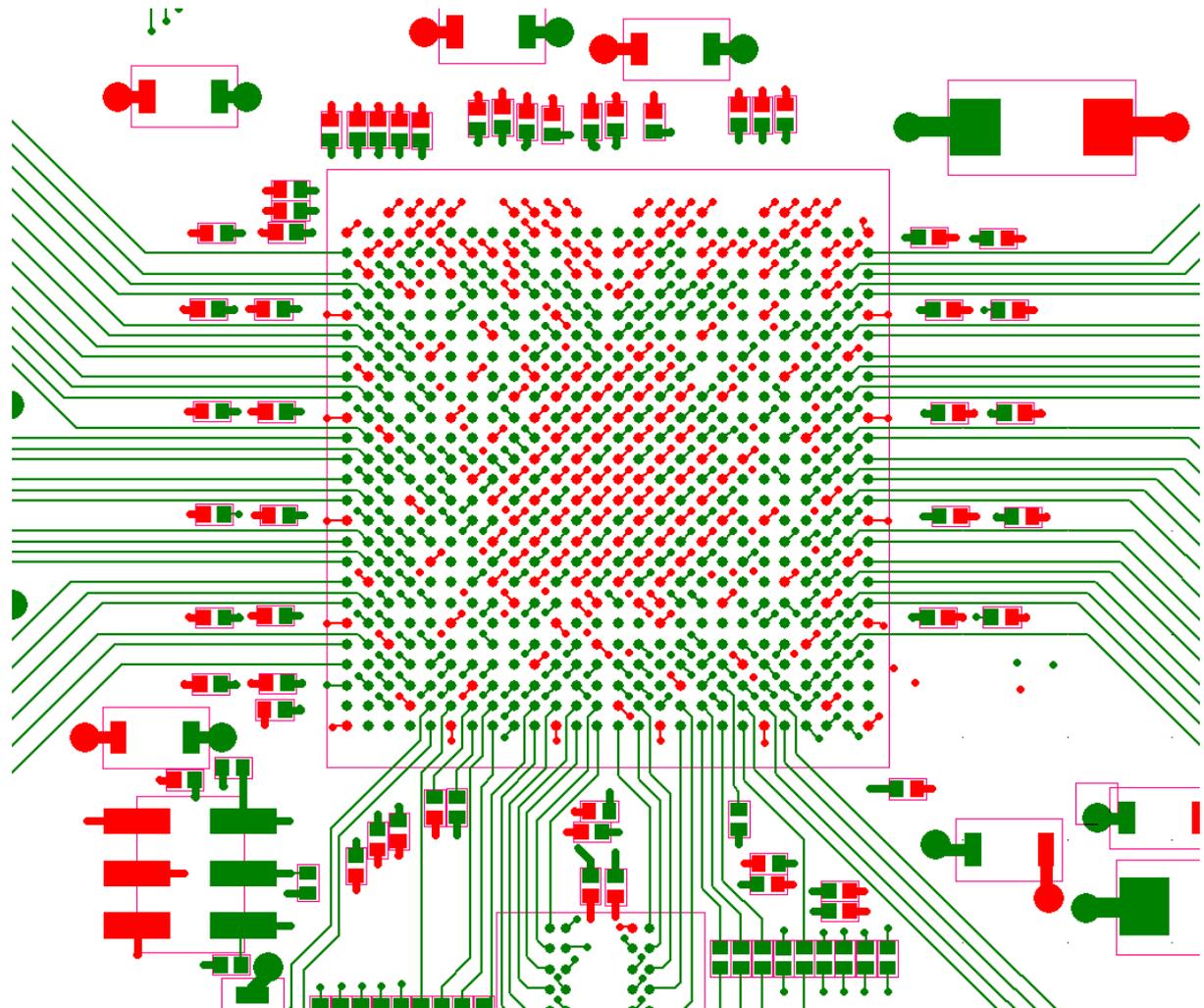
# Plan

1. Etude & Contraintes
- 2. Méthodologie**
3. Routage

# Méthodologie

## Plan de masse

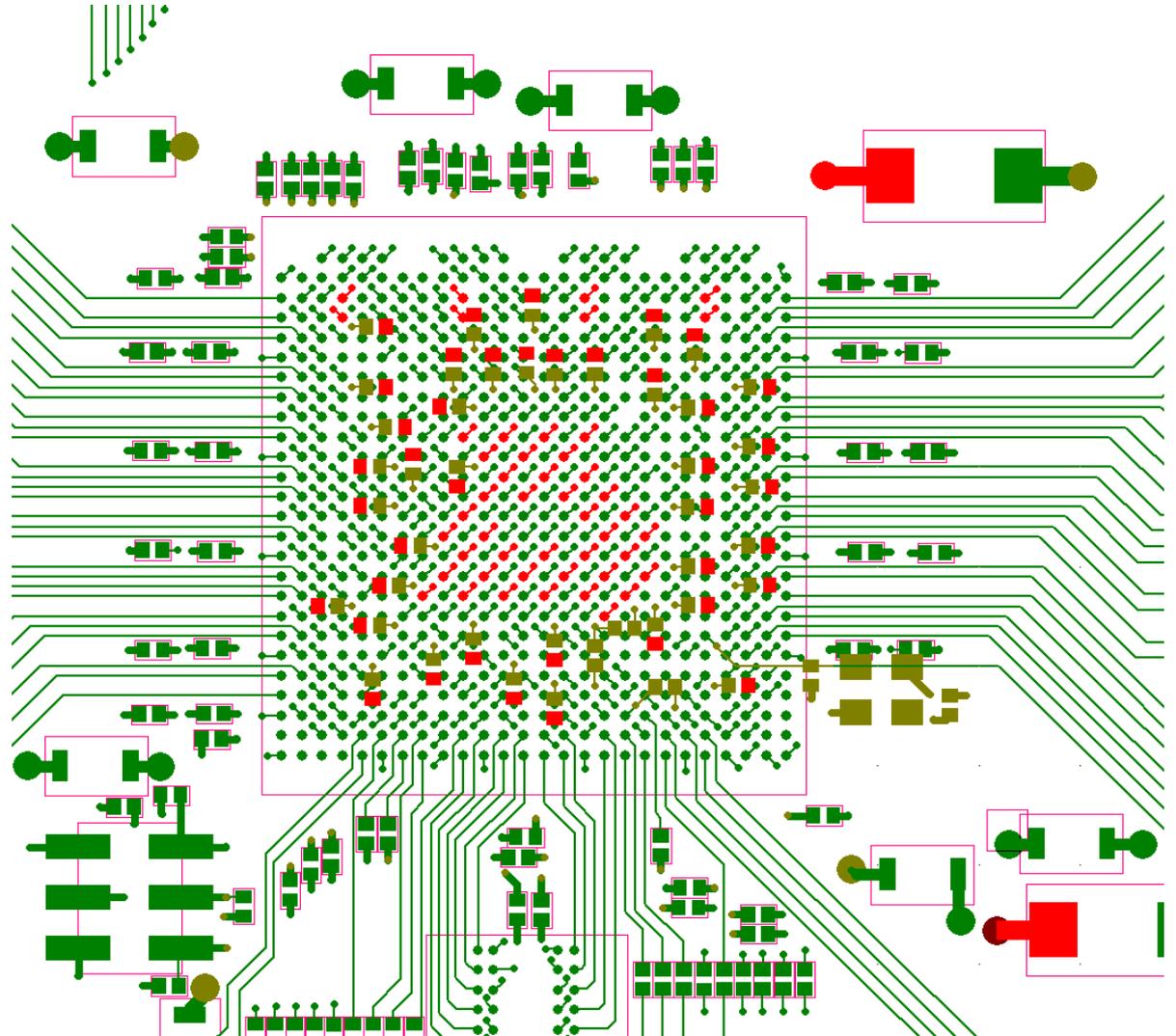
- Extrêmement dense au cœur du FPGA.
- Vias les plus courts possible.
- Libérer de l'espace sous le composant pour le passage de signaux.



# Méthodologie

## Plan d'alim. +1.0V

- +1.0V, dense au cœur du FPGA.
- Condensateurs de découplage (100pF, 100nF) du FPGA sous le composant.
- Plan d'alim. +1.0V sur la couche Bottom.



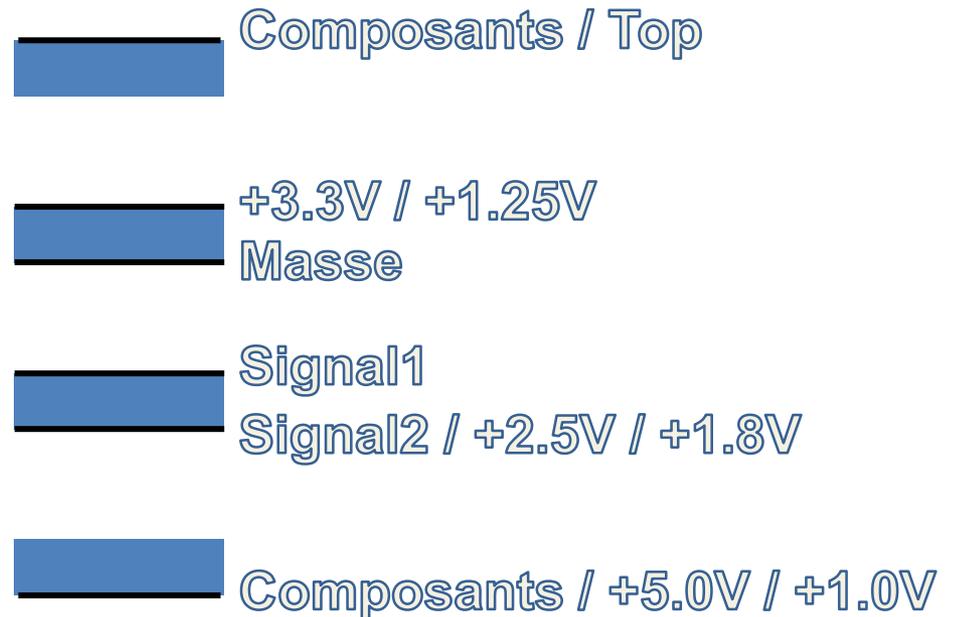
# Méthodologie

FPGA → un composant programmable

- Affecter les pins de signal du composant de manière à limiter le risque de « maillage ».

## Le circuit imprimé

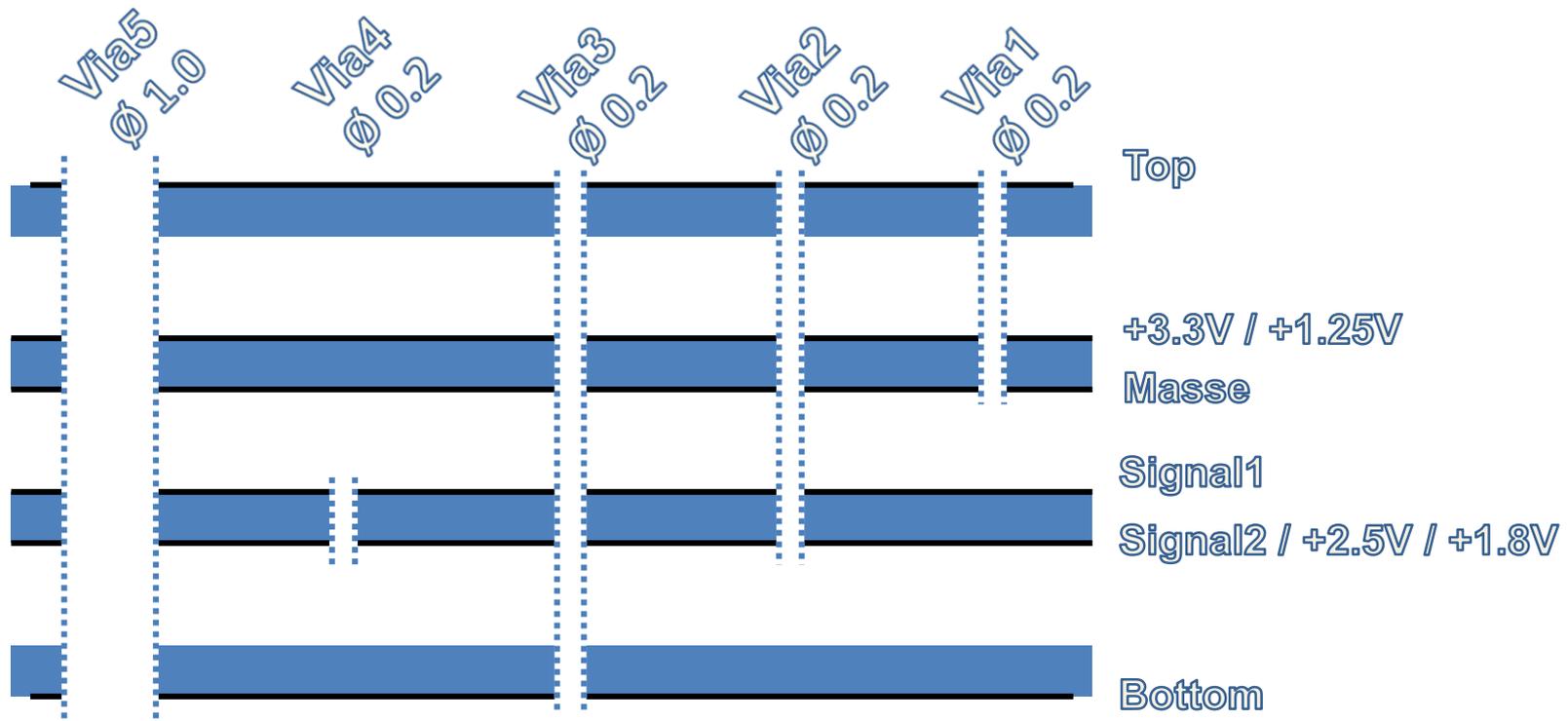
- Circuit imprimé 6 couches, 2 couches de fermetures, finition or électrochimique (meilleur planéité),
- ≈ 90% des composants sur la couche Top.
- ≈ 95% des pistes entre les couches Top et Signal1.



# Méthodologie

## Les vias

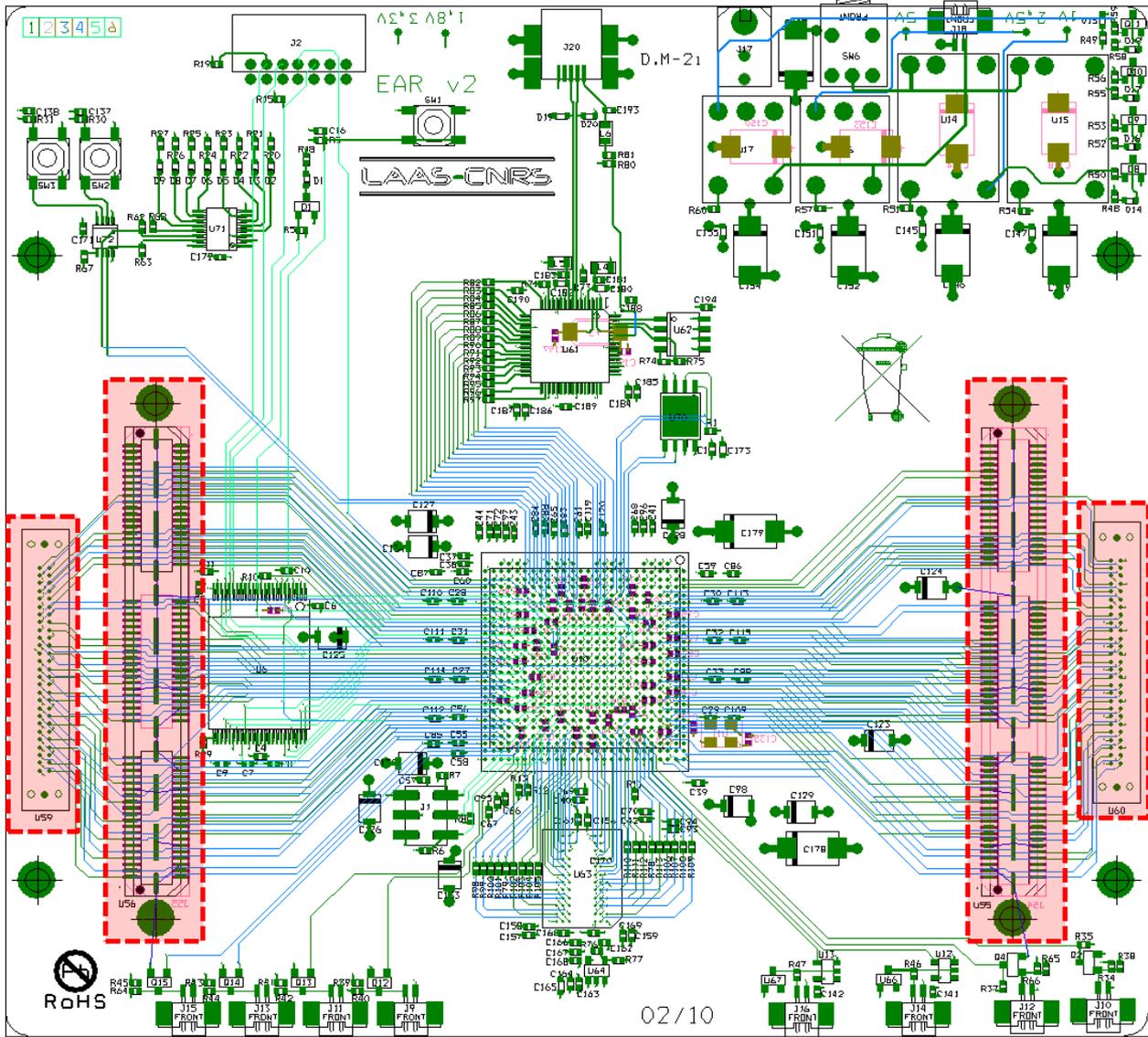
- 5 types de via différents,
- 4 vias « Petit Diamètre » ( $\varnothing$  0.2mm)
- 1 via « Puissance » ( $\varnothing$  1.0mm)



# Plan

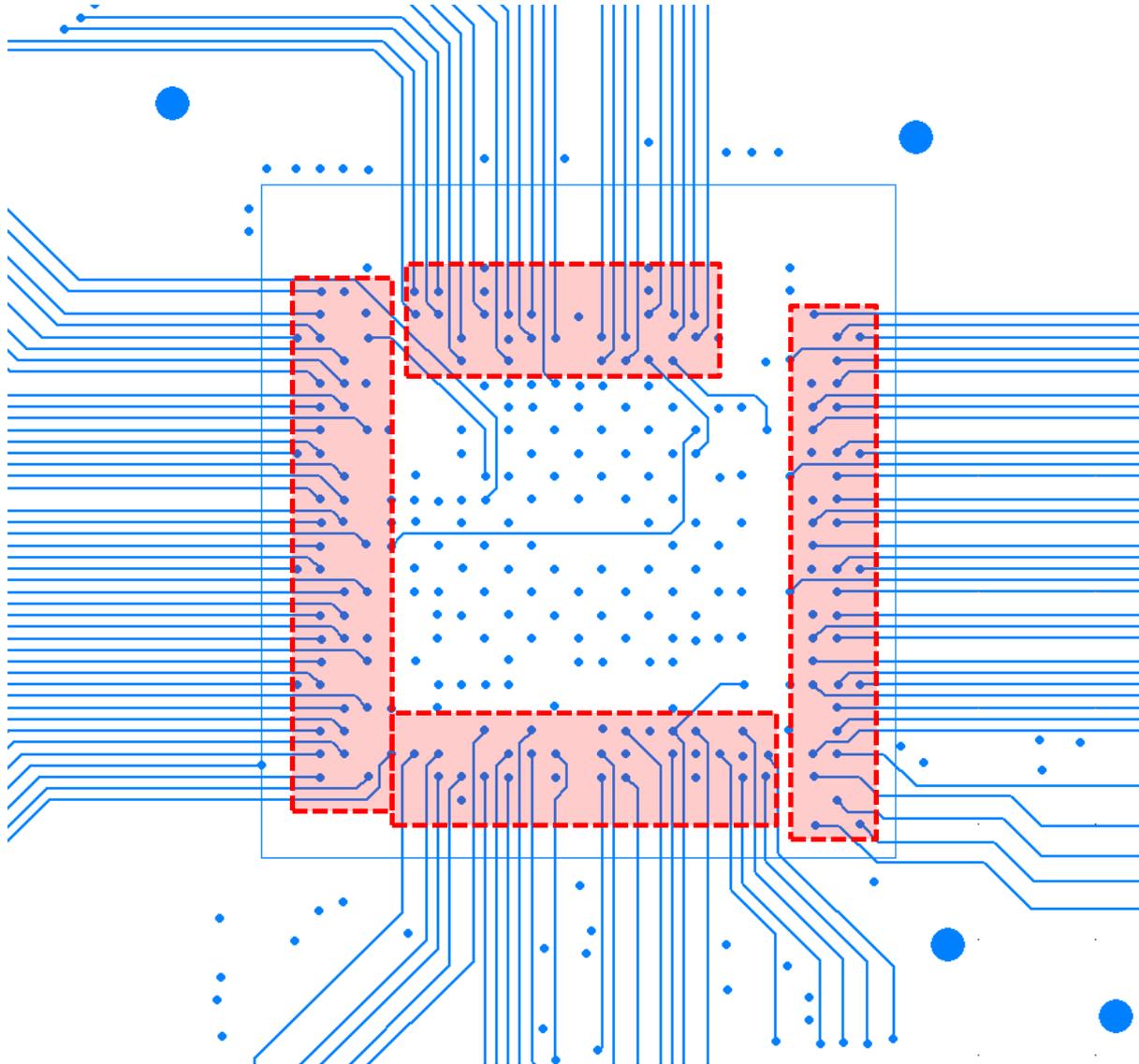
1. Etude & Contraintes
2. Méthodologie
- 3. Routage**

# Routage – 1<sup>ère</sup> étape – 1/4

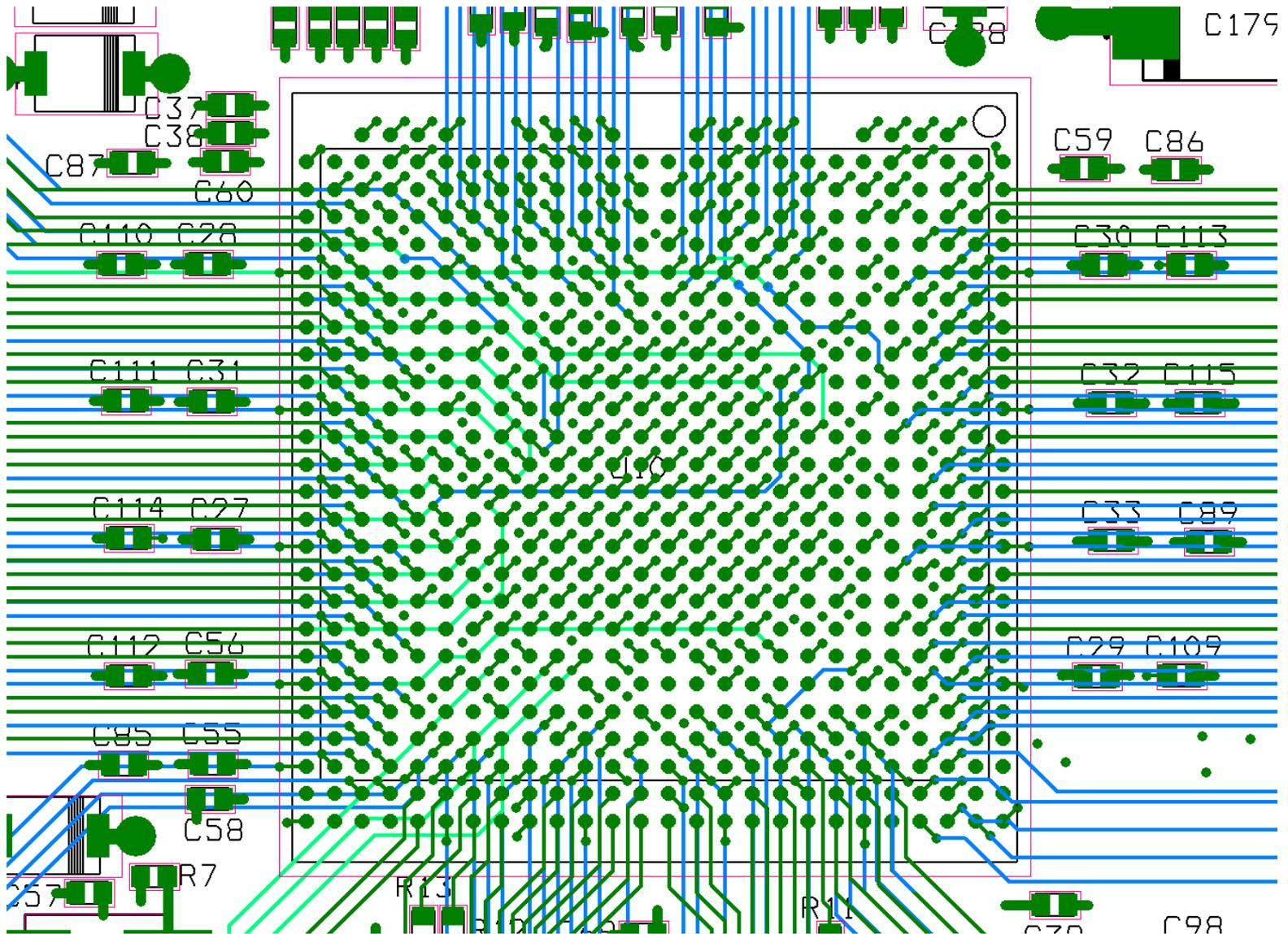




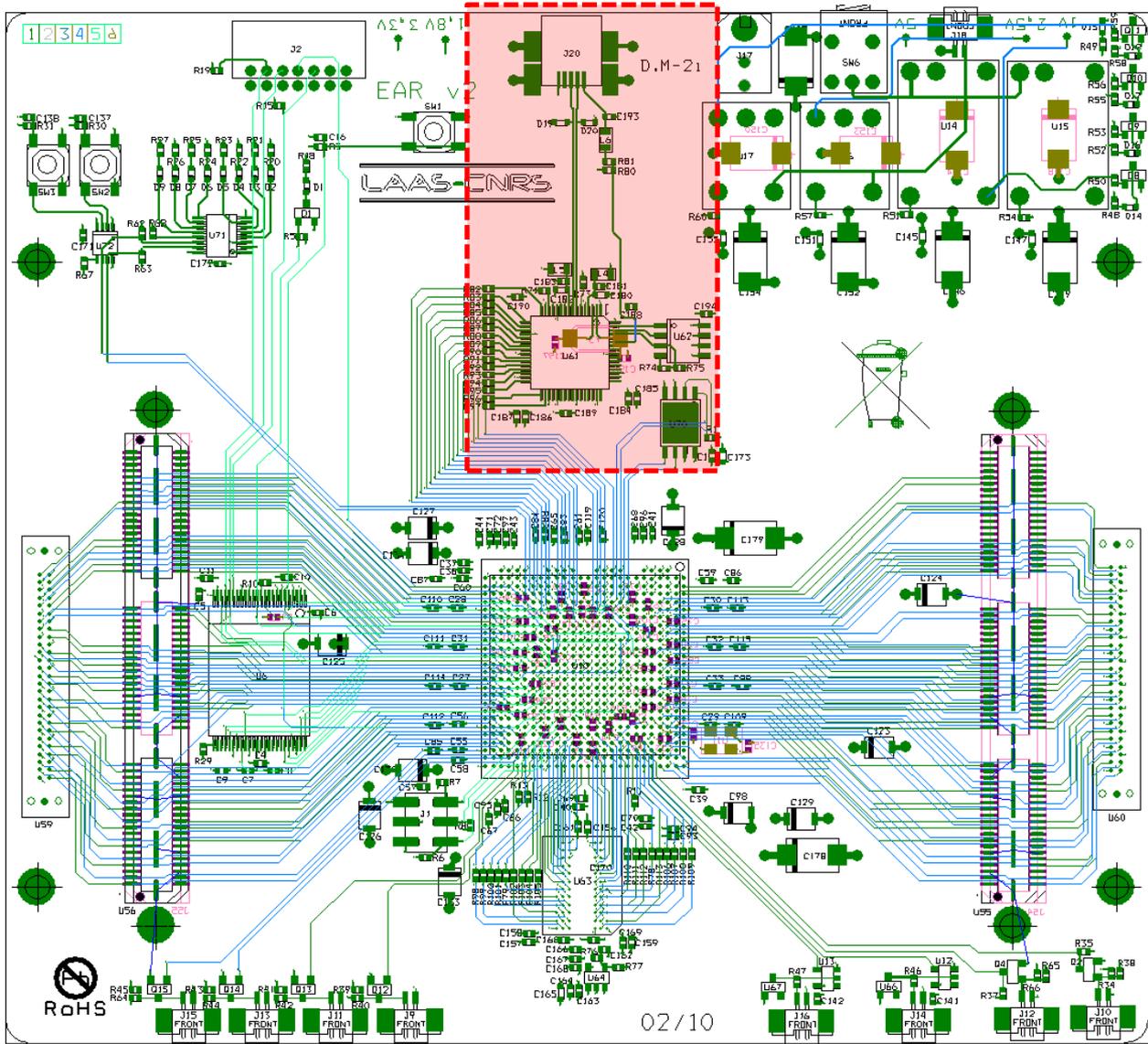
# Routage – 1<sup>ère</sup> étape – 3/4



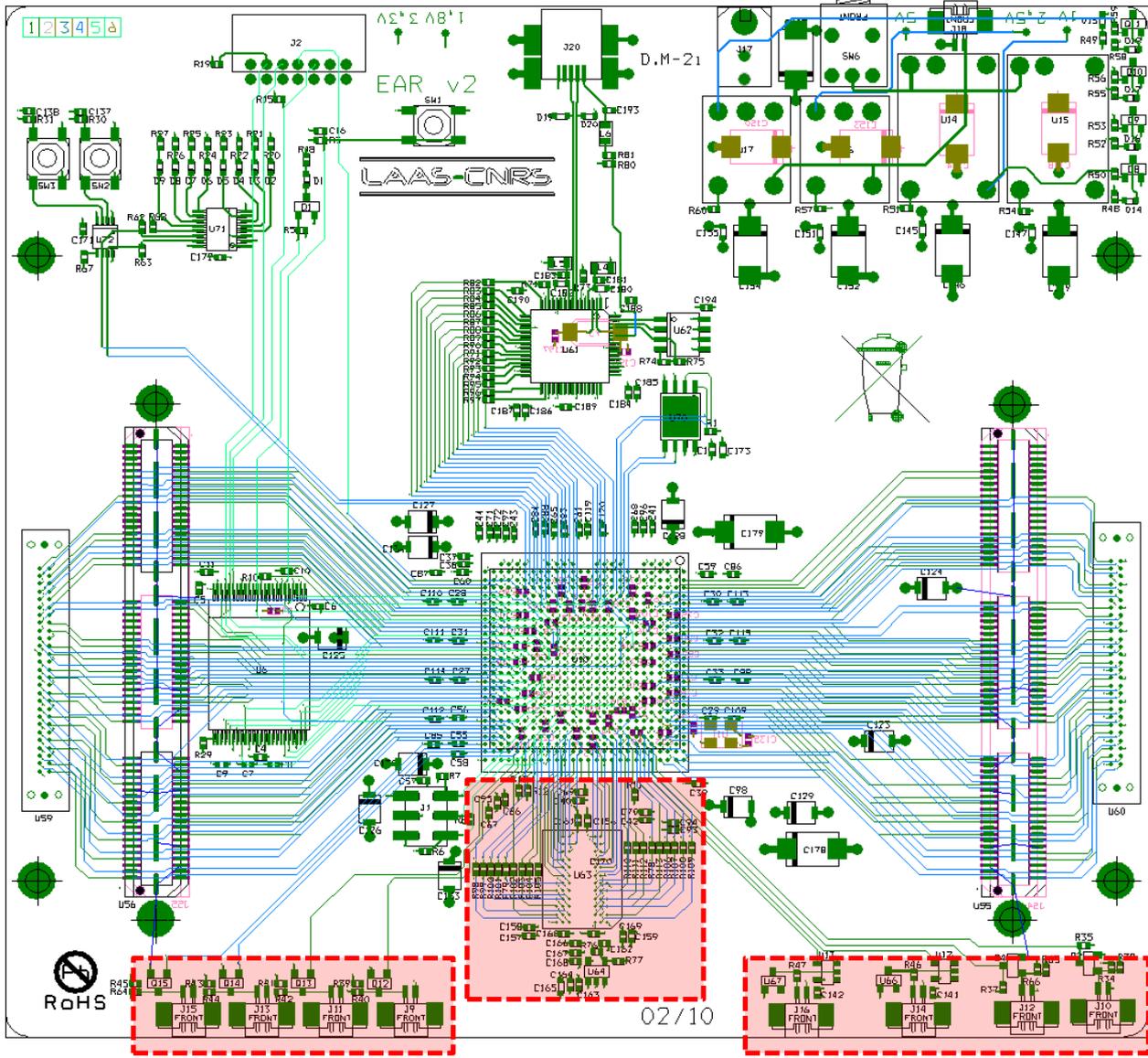
# Routage – 1<sup>ère</sup> étape – 4/4



# Routage – 2<sup>ème</sup> étape

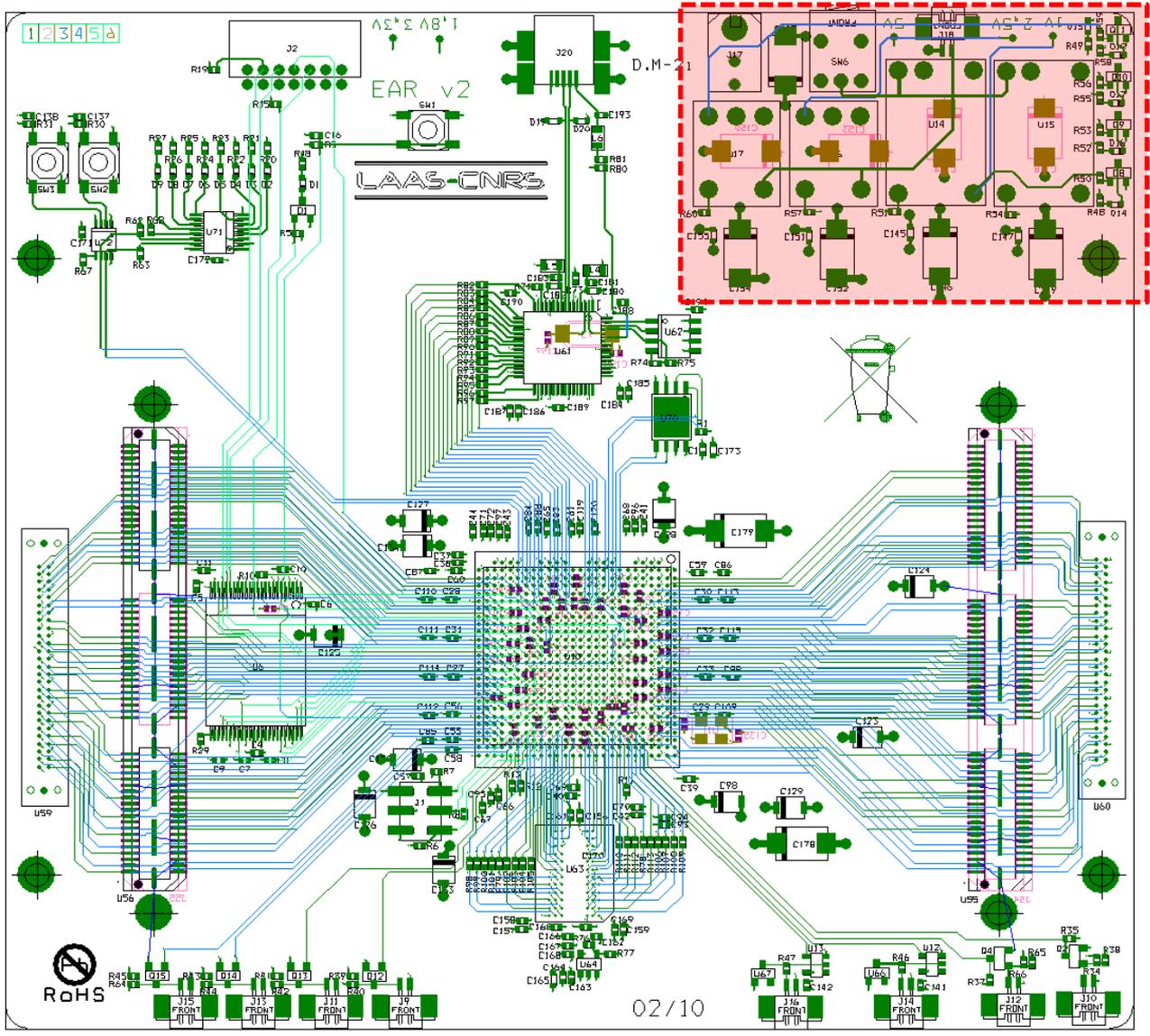


# Routage – 3<sup>ème</sup> étape

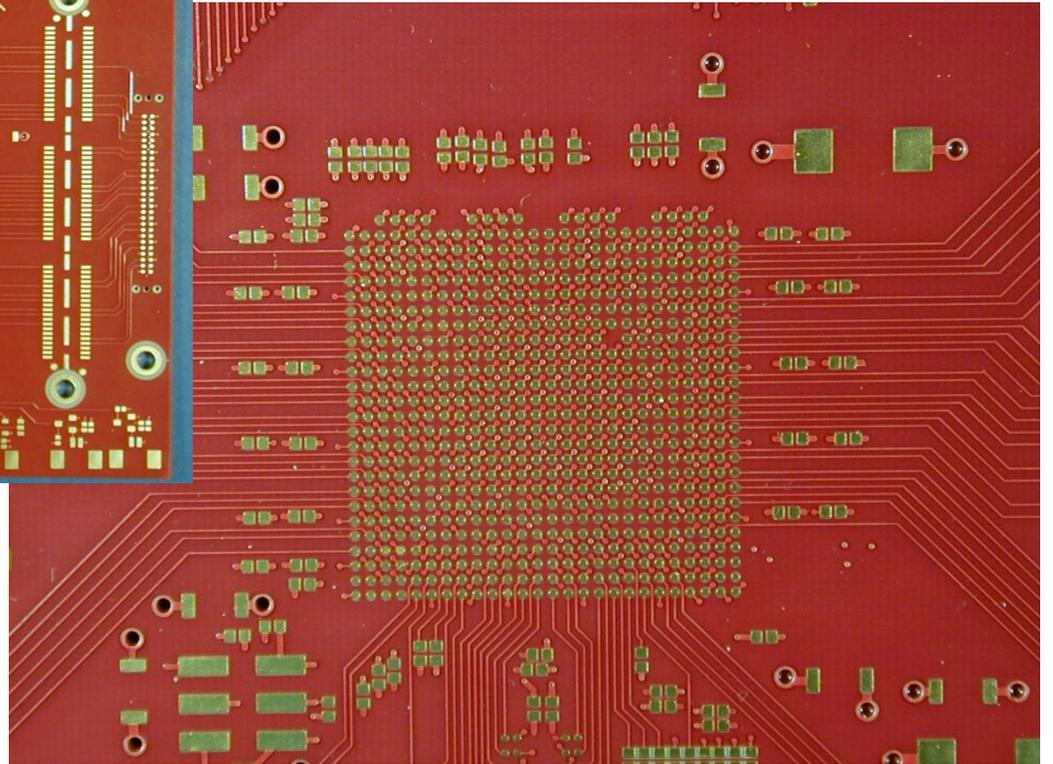
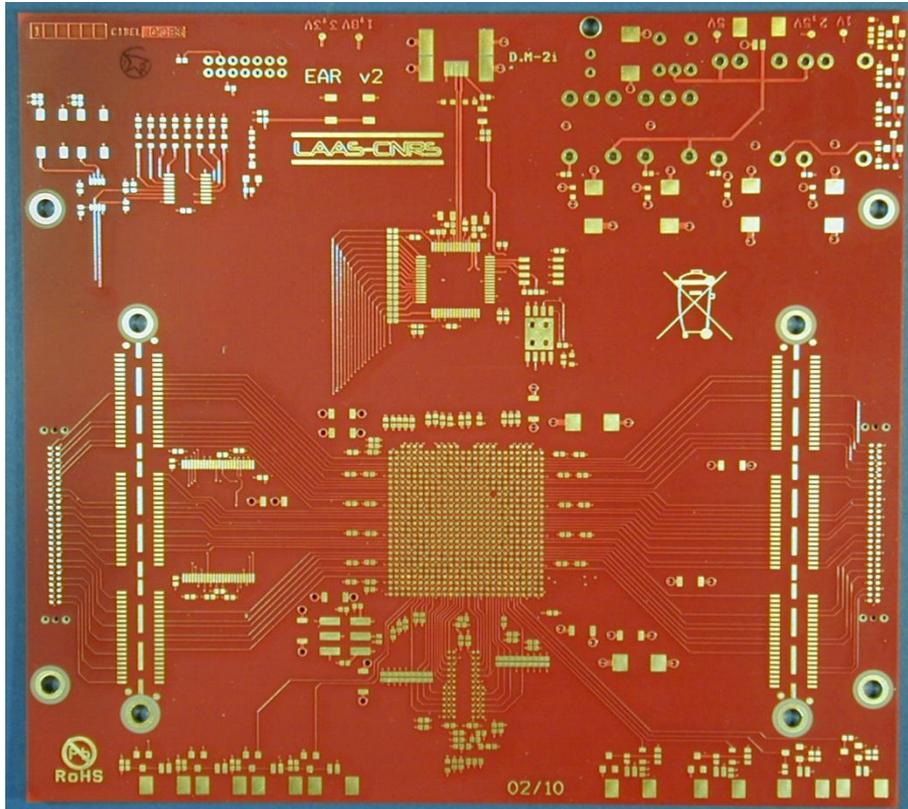




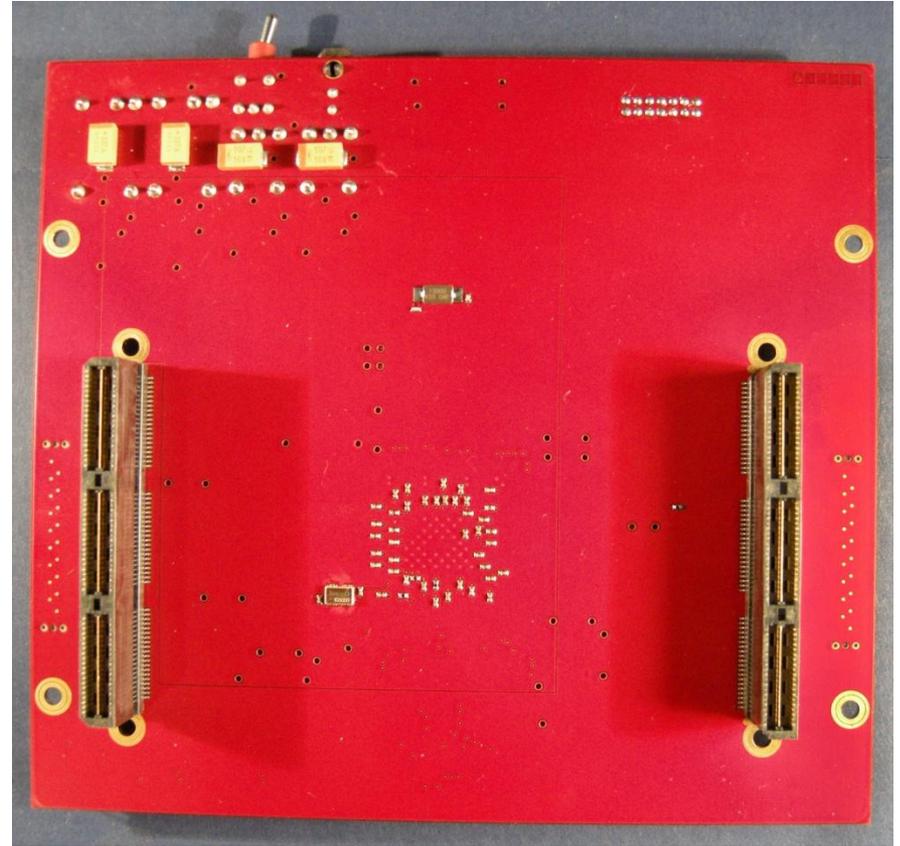
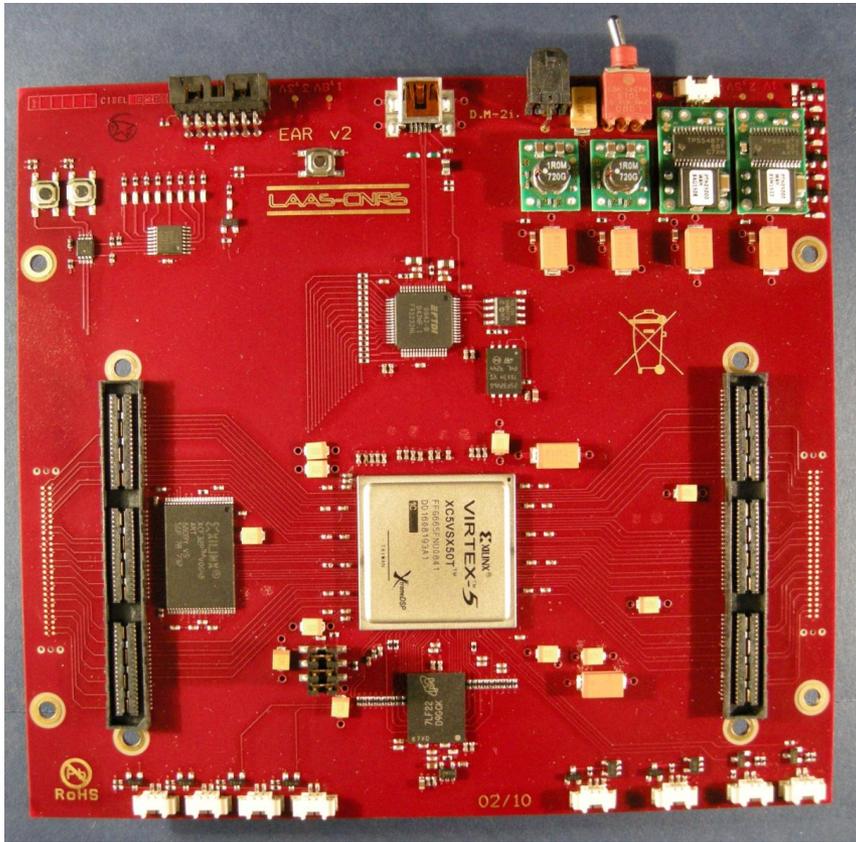
# Routage – 5<sup>ème</sup> étape



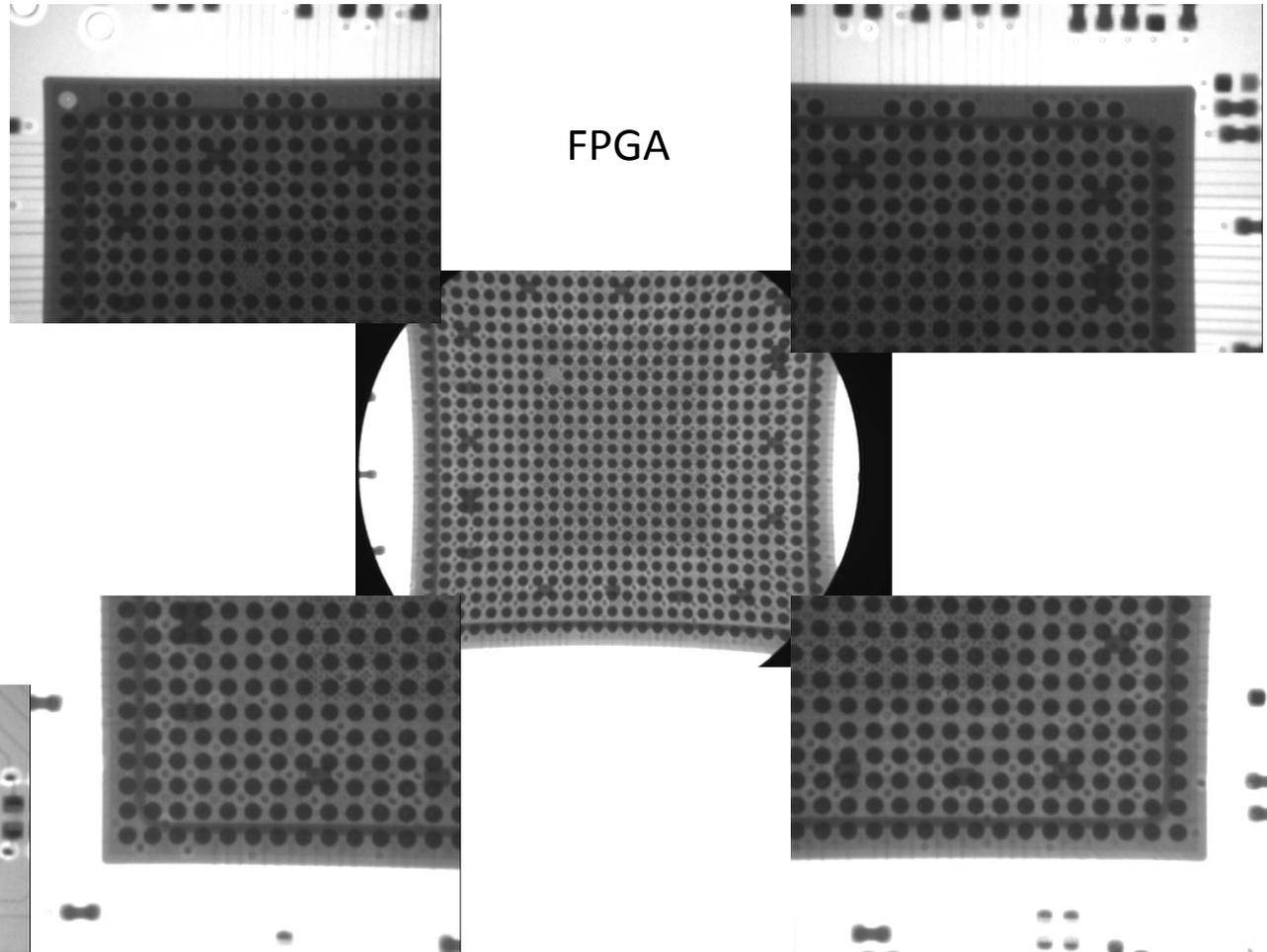
# Routage – Fabrication



# Routage – Assemblage



# Routage – Test rayon X des soudures



FPGA

Mémoire DDR

Questions?