

Programme ANF PL-PSoC-XILINX (2025)

Demi-journée n°1 : Introduction sur les FPGA

Cours : Introduction aux composants logiques programmables (FPGA/CPLD)

Cours : Introduction au langage VHDL

Cours : Introduction à l'outil Vivado

Demi-journée n°2 : Mise en œuvre d'un FPGA Artix - Flux de synthèse, programmation et debug sur cible

Cours : Du flux de synthèse à la programmation sur cible.

Travaux Pratiques : 1^{er} projet : Réalisation d'une horloge - Simulation fonctionnelle (démonstration sur le HDL Led).

En mode pas à pas : Réalisation de 2 projets Logique Programmable (PL) (contrôle hardware) : Du contrôle d'une LED à la réalisation d'une horloge avec une carte Cmod A7 Digilent et un script python pour modifier les paramètres horloges via une liaison série.

Demi-journée n°3 : Mise en œuvre d'un FPGA SOC Zynq

Cours : Présentation de l'architecture Zynq.

Cours : Outils de développement pour Zynq (Vitis).

TP en mode pas à pas : « Hello World ». Création du design sur VIVADO et exportation vers VITIS

Demi-journée n°4 : Les périphériques des SOC

Exercice sur contrôle des GPIO : TP Led (logique, emio, axi) simul fonctionnelle éventuelle

TP Implémentation d'un DAC avec le bus SPI

Demi-journée n°5 et 6 : Associer la partie logique interfacé avec le Processing System

TP PC interfacé série avec Zynq : Processeur (soft C) et FPGA (hard VHDL)

Réalisation d'un générateur de rampe analogique paramétrable (CORA et PMOD DAC DA2)

Utilisation des EMIO, SPI, ILA, simulation fonctionnelle